

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-281680

(43)Date of publication of application : 10.10.2001

(51)Int.Cl.

G02F 1/1343

G02F 1/1333

G09F 9/30

H01L 29/786

H01L 21/336

(21)Application number : 2000-091102

(71)Applicant : SHARP CORP

(22)Date of filing : 29.03.2000

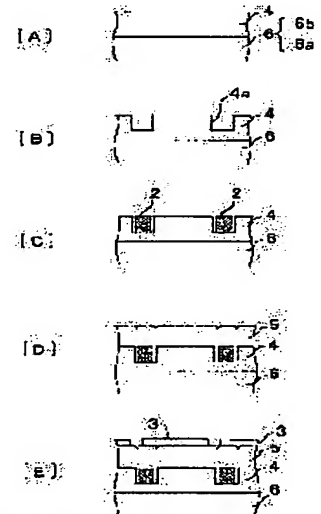
(72)Inventor : MIYASHITA HIROSHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE, METHOD OF MANUFACTURE FOR THE SAME AND FILM-LAMINATED STRUCTURE

### (57)Abstract:

PROBLEM TO BE SOLVED: To flatly form a pixel electrode, not only between wirings but also on the wirings to improve an opening ratio in an active matrix type liquid crystal display device.

SOLUTION: An insulating film pattern 4 having a recessed part 4a is formed, and the wiring 2 is formed in the recessed part 4a. The depth of the recessed part 4a is equal to the film thickness of the wiring 2. An upper part insulating film 5, having a continuous surface, is formed on the entire surface over the insulating film pattern 4 and the wiring 2 in the recessed part, and a pixel electrode 3 is formed on the upper part insulating film.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\*.NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

**[Claim 1]** It is the liquid crystal display characterized by being formed in the crevice where one [ at least ] wiring of the above-mentioned scan wiring or the above-mentioned signal wiring was prepared in the insulator layer pattern in the active matrix liquid crystal display with which signal wiring crossed on the insulating substrate at two or more scan wiring lists, and forming the up insulator layer which has a continuous front face after this insulator layer pattern and wiring in a crevice.

**[Claim 2]** It is the liquid crystal display which is wiring with which wiring of the method of up Norikazu is arranged above wiring of another side in the liquid crystal display according to claim 1, and is characterized by forming the pixel electrode on the up insulator layer on this wiring and an insulator layer pattern.

**[Claim 3]** The liquid crystal display which the thickness of wiring in the above-mentioned crevice is in the depth of the crevice of the above-mentioned insulator layer pattern, abbreviation, etc. by carrying out in a liquid crystal display according to claim 1 or 2, and is characterized by things.

**[Claim 4]** It is the liquid crystal display characterized by being 1/2 or more twice the tooth space between the field of the insulator layer pattern with which the thickness of the above-mentioned up insulator layer demarcates the above-mentioned crevice in claim 1 thru/or the liquid crystal display of any one publication of three, and the side face of wiring which counters this field.

**[Claim 5]** It is the liquid crystal display characterized by forming the above-mentioned insulator layer pattern of the transparent membrane whose refractive indexes are 1.4-1.95 in claim 1 thru/or the liquid crystal display of any one publication of four.

**[Claim 6]** The liquid crystal display characterized by forming in the above-mentioned insulator layer pattern the contact hole which extends from the bottom of the above-mentioned crevice to a downward layer in claim 1 thru/or the liquid crystal display of any one publication of five.

**[Claim 7]** The approach characterized by to have the process which forms the up insulator layer which has a continuous front face on the process which forms an insulator layer pattern on an insulating substrate in the manufacture approach of an active matrix liquid crystal display that signal wiring intersected two or more scan wiring lists, the process which form a crevice in the above-mentioned insulator layer pattern, the process which form scan wiring or one wiring of signal wiring in the above-mentioned crevice, and the above-mentioned insulator layer pattern and the above-mentioned wiring.

**[Claim 8]** It is the approach which is wiring with which wiring of the method of up Norikazu is arranged above wiring of another side in an approach according to claim 7, and is further characterized by having the process which forms a pixel electrode on the above-mentioned up insulator layer.

**[Claim 9]** The approach characterized by having further the process which thin-film-izes this up insulator layer with an etchback method in an approach according to claim 7 or 8 after forming the above-mentioned up insulator layer.

**[Claim 10]** The approach characterized by embedding the same electrical conducting material with wiring in a contact hole at the same time it forms wiring in claim 7 thru/or the approach of any one publication of nine in the process which is further equipped with the process which forms the contact hole which extends from the bottom of the above-mentioned crevice to a downward layer, and forms the above-

mentioned wiring after forming a crevice in the above-mentioned insulator layer pattern.

[Claim 11] It is the approach characterized by having the thickness of 1/2 twice or more of the tooth space between the field of the insulator layer pattern with which the above-mentioned up insulator layer demarcates the above-mentioned crevice immediately after formation in claim 7 thru/or the approach of any one publication of ten, and the side face of wiring which counters this field.

[Claim 12] The film laminated structure characterized by having the 2nd insulator layer prepared succeeding the 1st insulator layer [ which has a crevice ], electric conduction film [ which is prepared in the above-mentioned crevice, is in the depth of a crevice, abbreviation, etc. by carrying out and has thickness ], and 1st insulator layer [ of the above ] and above-mentioned electric conduction film top.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the surface flattening technique of the wiring field in the actuation substrate for such a liquid crystal display, and the field between wiring in more detail about an active matrix liquid crystal display and its manufacture approach.

[0002]

[Description of the Prior Art] Drawing 7 (A) and (B) show typically the important section top view and sectional view of an actuation substrate in the conventional active matrix liquid crystal display. Moreover, drawing 8 (A) and (B) show typically the important section top view and sectional view of an actuation substrate in another conventional active matrix liquid crystal display. In these drawings, the same reference number is given to the same part.

[0003] The structure of the conventional actuation substrate shown in drawing 7 is equivalent to what was indicated by JP,4-234820,A, and 12 is wiring and a substrate with which 13 consists of lower layer 16b by which a pixel electrode and 14 were formed in the insulator layer, and 16 was formed in insulator layer substrate 16a and this insulator layer substrate. It forms wiring 12 while it forms an insulator layer 14, then forms the pixel electrode 13 on an insulator layer 14, after this actuation substrate forms the layers and patterns (lower layer 16b) other than wiring 12 and pixel electrode 13 on insulating-substrate 16a. When a liquid crystal display is a transparency mold, in order that an insulator layer 14 may also use a transparent ingredient, photosensitive transparency polyimide etc. is used.

[0004] On the other hand, the structure of the conventional actuation substrate shown in drawing 8 is based on the technique indicated by JP,4-338718,A. According to this conventional technique, in order to make the top face and the pixel electrode 13 of wiring 12 into flatness, i.e., the same level, the bottom of the pixel electrode 13 is covered with the transparent insulator layer 14, and it is made heights, or wiring is etched beforehand and made into a crevice. Next, a level difference with the

transparent pixel electrode 13 is lost by covering wiring 12 with an insulating material 15. As an insulating material 15, the polyimide resin film is used, for example.

[0005]

[Problem(s) to be Solved by the Invention] In said two conventional techniques, since the same level side where the wiring 12 ( drawing 8 ) covered with wiring 12 ( drawing 7 ) or an insulating material 15 and an insulator layer 14 continued is not formed, the field of the pixel electrode 13 which can be formed is limited on an insulator layer 14. Here, in order to explain why the field of the pixel electrode 13 which can be formed is limited on an insulator layer 14, the case where a pixel electrode formation field is extended to structure to the field not only the insulator layer 14 but on wiring 12 conventionally [ of drawing 6 and drawing 7 / each ] is shown in drawing 9 and drawing 10 , respectively. In drawing 9 , since direct continuation of wiring 12 and the pixel electrode 14 is carried out, a pixel will always be electrically connected with wiring 12. Moreover, in response to the effect of a wiring level difference, the part (crevice) which is not flat will produce [ the pixel electrode 13 ] the case of drawing 9 and drawing 10 . Therefore, in the rubbing process which performs orientation processing of liquid crystal, since orientation processing is not made to homogeneity for the failure of a level difference, orientation force lowering of the liquid crystal in the level difference part will be caused. From the above reason, the pixel electrode 13 cannot be formed in any fields other than insulator layer 14 in structure conventionally [ above-mentioned ]. This leads to decline in a numerical aperture, and is inconvenient as a liquid crystal display.

[0006] Then, the object of this invention is in the liquid crystal display of the active-matrix mold with which two or more scan wiring and two or more signal wiring crossed on the insulating substrate to enable formation of a pixel electrode evenly even on [ one / at least ] scan wiring or signal wiring, and offer the liquid crystal display which can improve a numerical aperture, and its manufacture approach. Moreover, it is in offering the film laminated structure suitable for realizing such a liquid crystal display.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned object, it is characterized by to form the up insulator layer which has the front face which one [ at least ] wiring of the above-mentioned scan wiring or the above-mentioned signal wiring is formed in the crevice established in the insulator layer pattern in the active matrix liquid crystal display with which signal wiring crossed in the scan wiring list of plurality [ liquid crystal display / of this invention / top / insulating-substrate ], and continues after this insulator layer pattern and wiring in a crevice.

[0008] According to this structure, since wiring is formed in the crevice of an insulator layer pattern, the thickness of wiring will be absorbed by the depth of a crevice. Therefore, the front face of the up electric conduction film formed succeeding the this wiring and insulator layer pattern top can have good surface smoothness over the whole abbreviation. Therefore, if a pixel electrode is formed on this up insulator layer, it can have surface smoothness also with the whole good front face of a pixel electrode. That is, the structure by which flattening was carried out is acquired in all the fields during wiring on wiring. Therefore, uniform orientation processing is attained. Moreover, since it has the flat front face where the up insulator layer formed between wiring on wiring continues, it becomes possible to extend a pixel electrode formation field not only between wiring but on wiring. Therefore, an improvement of a numerical aperture can be performed.

[0009] When applying this invention to either scan wiring or signal wiring, it is desirable wiring arranged on an upside and to usually apply to signal wiring. If it carries out like this, the level difference made by lower wiring thickness can be eased effectively.

[0010] It can manufacture by the approach characterized by to be equipped the above-mentioned liquid crystal display with the process which forms the up insulator layer which has a continuous front face on the manufacture approach of the liquid crystal display concerning another side face of this invention, i.e., the process which form an insulator layer pattern, the process which form a crevice in the above-mentioned insulator layer pattern, the process which form scan wiring or one wiring of signal wiring in

the above-mentioned crevice, and the above-mentioned insulator layer pattern and the above-mentioned wiring.

[0011] In order that an up insulator layer may ensure filling the clearance between the field which demarcates the crevice of an insulator layer pattern, and the side face of wiring which counters this field, an up insulator layer is good to form so that it may have the thickness of 1/2 twice or more of the tooth space between the field of the insulator layer pattern which demarcates the above-mentioned crevice, and the side face of wiring which counters this field. The up insulator layer formed in such thickness may be used as it is, and may be thin-film-ized with an etchback method. The up insulator layer of the thickness of arbitration is obtained by carrying out etchback of the whole up insulator layer surface. Moreover, surface smoothness also improves further.

[0012] When applying this invention to the liquid crystal display of a transparency mold, the above-mentioned insulator layer pattern is good to form by transparent membranes, such as an oxide film whose refractive indexes are 1.4–1.95.

[0013] In 1 operation gestalt, the contact hole which extends from the bottom of the above-mentioned crevice to a downward layer is formed in the above-mentioned insulator layer pattern.

[0014] In order to manufacture the liquid crystal display which has such structure, further, the manufacture approach of this invention is further equipped with the process which forms the contact hole which extends from the bottom of the above-mentioned crevice to a downward layer, and after forming a crevice in the above-mentioned insulator layer pattern, it is characterized by to embed the same electrical conducting material with wiring in a contact hole in the process which forms the above-mentioned wiring at the same time it forms wiring.

[0015] moreover, the film laminated structure of this invention is prepared the 1st insulator layer which has a crevice, and in the above-mentioned crevice -- having -- the depth of a crevice, and abbreviation -- the electric conduction film [ which has equal thickness ], and 1st insulator layer [ of the above ] and above-mentioned electric conduction film top -- abbreviation -- it is formed by fixed thickness and characterized by having the 2nd insulator layer which has a continuous front face.

[0016] The 2nd insulator layer by which this film laminated structure is formed on these since the top face of the 1st insulator layer and the top face of the electric conduction film serve as abbreviation same level can cover the whole, and can have a flat front face. If this film laminated structure is a part which wants to acquire not only the part of the signal wiring or scan wiring in an active matrix liquid crystal display but a flat surface structure, it can be used for any electric conduction film / insulator layer laminating parts.

[0017]

[Embodiment of the Invention] The simple part plan of the actuation substrate which constitutes the active matrix liquid crystal display of the transparency mold whose drawing 3 is the gestalt of 1 operation of this invention, and drawing 1 are process drawings showing the manufacture approach of the actuation substrate of drawing 3 typically, and the cross section shown in drawing 1 (E) is a 1E-1 E-lines cross section of drawing 3 . In addition, in the whole surface, since it has the description in amplification-ization of the pixel electrode formation field by flattening of a wiring field and the field between wiring, in these drawings, this invention shows only the part relevant to invention, and in order to simplify a drawing, it is omitting the graphic display about the part which is not directly related to invention, such as liquid crystal and orientation film.

[0018] As shown in drawing 3 , much scan wiring (two adjoin each other are shown) 1 was mutually prolonged in parallel at the line writing direction, and it has extended in the direction of a train so that these scan wiring 1 and the parallel signal wiring (two adjoin each other are shown) 2 may cross at right angles mutually [ a large number ] in the upper part of the above-mentioned scan wiring 1, and the thin film transistor (TFT) as a switching element which is not illustrated is formed near [ each ] the intersection of these scan wiring 1 and signal wiring 2. The gate electrode of TFT is connected to the scan wiring 1, and a source electrode is connected to signal wiring 2, respectively, and the drain

electrode is connected to the pixel electrode 3 of an abbreviation rectangle. Each scan wiring 1 and each signal wiring 2 are held in crevice 4a which the insulator layer pattern 4 which corresponds, respectively has. Between each wiring 1 and 2 and each insulator layer pattern 4 on each wiring 1 and 2 and the insulator layer pattern 4, the up insulator layer 5 which functions as flattening film is formed. And on the up insulator layer 5 formed on signal wiring 2, the above-mentioned pixel electrode 3 has spread, where a periphery is put on one side of the signal wiring 2 of the adjacent scan wiring 1 which reaches on the other hand and adjoins each other.

[0019] Next, drawing 1 is used, a target is narrowed down to the making process of an actuation substrate, especially the process from insulator layer pattern formation to pixel electrode formation, and the manufacture approach of the liquid crystal display of the gestalt the 1st operation is explained to them.

[0020] First, as shown in drawing 1 (A), the insulator layer (the 1st insulator layer) 4 which becomes the lower layer of wiring is formed by larger thickness than the thickness of wiring to the substrate 6 which consists of insulating-substrate 6a and lower layer 6b. In the case of the liquid crystal display of a transparency mold, an insulator layer 4 needs to be a transparent membrane and about 1.4 to 1.95 insulator layer is suitable for it as a refractive index. As an ingredient of an insulator layer 4, although SiNx, SiOx, etc. are mentioned, the oxide film (SiO<sub>2</sub>) is used here.

[0021] Then, as shown in drawing 1 (B), pattern formation of the crevice 4a is carried out to an insulator layer 4, and it considers as the insulator layer pattern 4 (it expresses with the same reference number as the insulator layer at the time of membrane formation for convenience). Since signal wiring 2 will be formed at a next process in crevice 4a, it is necessary to turn around crevice 4a one and to form it in a big width method rather than the formation line breadth of signal wiring 2, here. Furthermore, crevice 4a is formed in the depth equivalent to the thickness of these wiring, i.e., a depth of about thousands-10,000A, in order to have to absorb the level difference by the thickness of wiring.

[0022] Next, after depositing on about 7000A thickness the electric conduction film which consists of a metal wiring material, for example, aluminum system metallic material, all over insulator layer pattern 4, as it is shown in drawing 1 (C) through each process of FOTORISO, etching, and resist exfoliation, signal wiring 2 is formed in each crevice 4a of an insulator layer pattern.

[0023] Next, as shown in drawing 1 (D), the up insulator layer (the 2nd insulator layer) 5 is formed on [ whole ] signal wiring 2 and the insulator layer pattern 4. The ingredient of the up insulator layer 5 may be the same as the ingredient of the insulator layer pattern 4, and may differ. Here, the same ingredient shall be used. In this process, the surface smoothness of the top face of the up insulator layer 5 is controlled by controlling the tooth space d between the wall surface (that is, field of the insulator layer pattern which demarcates crevice 4a) of crevice 4a, and the side face of wiring which counters this field. For example, if a tooth space d is too large, even if it will form the up insulator layer 5, since a level difference arises at the edge of the scan wiring 1, surface smoothness does not become good. Moreover, since the up insulator layer 5 cannot embed the inside of a tooth space d if too narrow, a cavity is generated into a tooth-space d part. Since it is such, as a tooth space d, the tooth-space width of face of 1.0-micrometer order extent is secured, for example. In order for the up insulator layer 5 to aim at performing the upper flattening by embedding a tooth space d at the time of membrane formation, as typically shown in drawing 4, the thickness t of the up insulator layer 5 at the time of membrane formation needs to be 1/2 or more twice the tooth space d. For example, when a tooth space d is about 1.0 micrometers, it is necessary to form the oxide film SiO<sub>2</sub> about 5000A or more. In order to raise surface smoothness on top actually, the up insulator layer 5 of about 15000A, i.e., 1.5 micrometers, thickness is formed. In this way, the up insulator layer 5 is formed on wiring 2 and the insulator layer pattern 4, and flattening of the front face is carried out.

[0024] Next, the pixel electrode 3 of transparency is formed on the up insulator layer 5 using ITO (indium Tin oxide) in the condition of overlapping a periphery at the scan wiring 1 of one side which is not shown in the signal wiring 2 and drawing 1 of one side (refer to drawing 3 ).

[0025] After this, by the well-known approach, spreading of the orientation film, rubbing processing, etc. are performed and an actuation substrate is completed. And after sticking an actuation substrate and an opposite substrate and performing liquid crystal impregnation, an active matrix liquid crystal display is completed through required processing of closure, attachment of a polarizing plate, etc.

[0026] In addition, various kinds of film and patterns which were formed between the insulator layers 4 and insulating-substrate 6b which were shown in drawing 1 (A) are comprehensively expressed as "lower layer 6b" contained in the above-mentioned substrate 6, and the insulator layer pattern 4 besides TFT, the scan wiring 1, and the up insulator layer 5 on these are also included. In addition, the insulator layer pattern 4, the scan wiring 1, and the up insulator layer 5 are the same approaches as the approach of forming the insulator layer pattern 4 explained previously, signal wiring 2, and the up insulator layer 5, and are formed. In this case, the up insulator layer on the scan wiring 1 functions as an interlayer insulation film between the scan wiring 1 and signal wiring 2.

[0027] By the manufacture approach mentioned above, after depositing the up insulator layer 5 at the process shown in drawing 1 (D), processing of what is not carried out, either, but the pixel electrode 3 is formed on it, but after the process of drawing 1 (D), as shown in drawing 2, after performing and thin-film-izing whole surface etchback to the deposited up insulator layer 5, the pixel electrode 3 may be formed. For example, when the 15000Å up insulator layer 5 is formed, thickness of the up insulator layer 5 is made into about 7000Å by carrying out 8000Å etchback.

[0028] The reason for thin-film-izing the up insulator layer 5 is as follows. It can be said that the one thicker [ sake / on the embedding of a tooth space d and a flat disposition ] of the up insulator layer 5 is good. However, the formation and control of a detailed pattern by etching become difficult, so that it is necessary to form in the up insulator layer 5 the detailed contact hole (not shown in drawing 1 and 2) for connecting the upside pixel electrode 3 to lower layer 6b electrically through the electric conduction film pattern formed simultaneously with wiring 2 and the up insulator layer 5 becomes thick. Moreover, when there is only about 1000-1500Å thickness of the pixel electrode 3 when ITO etc. is used, and the coverage of the thin film pixel electrode 3 in a contact hole is considered, the insulator layer layer of the part which forms a contact hole has the good way which is not thick. Therefore, an insulator layer 5 is controllable to the thickness of arbitration by performing whole surface etchback to the up insulator layer 5 formed more thickly. Moreover, since the concave condition of the insulator layer 5 on the tooth space produced a little by performing etchback at the time of insulator layer 5 formation is removable, surface smoothness improves further. Therefore, the surface smoothness of pixel electrode 3 the very thing formed in the condition of overlapping a periphery at the signal wiring 2 of one side and the scan wiring 1 also improves compared with the case where the up insulator layer 5 is not thin-film-ized.

[0029] By the way, although the formation location of the detailed contact hole 7 for connecting the pixel electrode 3 to lower layer 6b electrically is selectable suitably, drawing 5 shows the example which formed the contact hole 7 under the crevice 4a.

[0030] After a contact hole 7 forms crevice 4a in an insulator layer (SiO<sub>2</sub> film) 4 at the process shown in drawing 1 (B), it is formed in the up insulator layer residual part by which it was thin-film-ized under crevice 4a. Consequently, the contact hole 7 which extends to a downward layer is obtained from the bottom of crevice 4a by the insulator layer 4. Then, through each process of FOTORISO, etching, and resist exfoliation, after depositing the electric conduction film all over insulator layer pattern 4 by the approach same with having explained drawing 1 (c) including the inside of a contact hole 7 and crevice 4a, as shown in drawing 5, the wiring 2 united with the electric conduction film of a contact hole 7 is formed in each crevice 4a. In this way, a flow with wiring 2 and substrate lower layer 6b is attained through a contact hole 7. The thickness when forming an insulator layer 4 and a concave level difference configuration dig the thickness of the insulator layer when forming a contact hole deep, and it is controlled by the amount. Formation of a contact hole becomes easy, so that this difference decreases. Actually, after about 10000Å forms membranes as an insulator layer 4, thickness of the insulator layer 4 of a contact hole formation part is made into 3000Å by forming about 7000Å in a



concave by patterning.

[0031] As mentioned above, although this invention was explained using some examples, this invention is not restricted to these but is variously deformable.

[0032] For example, you may be a reflective mold although the active matrix liquid crystal display of the gestalt of the above-mentioned implementation was used as the transparency mold. Insulator layers 4 and 5 do not need to be transparent membranes that what is necessary is for the pixel electrode 3 not to be transparent in the case of a reflective mold, and just to form in it using aluminum etc., either. Anyway, it can understand this invention easily about amplification of the pixel electrode formation field by flattening of a wiring field and the field between wiring for it to be able to apply, even if it is the liquid crystal display of which type.

[0033] Moreover, it is good also as a configuration which cut and lacked the part if needed with the gestalt of the above-mentioned implementation although the pixel electrode 3 was formed in the abbreviation rectangle configuration. Moreover, although each pixel electrode 3 formed the periphery only in one side of two signal wiring 2 which only one side of two adjacent scan wiring 1 adjoins in piles, it may form a periphery also in two signal wiring 2 which also adjoins two adjacent scan wiring 1 in piles.

[0034] Moreover, you may be this reverse, although the scan wiring 1 was formed in the bottom and signal wiring 2 was formed in the upside with the gestalt of the above-mentioned implementation.

[0035] Moreover, although [ the gestalt of the above-mentioned implementation ] each process is similarly carried out about the scan wiring 1 of not only the upper signal wiring 2 but the bottom, you may carry out only to the upper signal wiring 2. Moreover, flattening processing different, respectively may be performed about signal wiring 2 and the scan wiring 1.

[0036] Moreover, a switching element can also use things other than TFT.

[0037] As mentioned above, although the actuation substrate of an active matrix liquid crystal display and the example especially applied to each signal wiring field, the field in the meantime, and each scan wiring field and a field in the meantime were explained for this invention using drawing 1 -5, if it is this contractor, it is applicable [ this invention ] to these also like fields, such as fields other than a field, for example, a gate electrode, and a drain electrode, so that he can understand easily. Moreover, application of this invention is not restricted to a liquid crystal display. In short, if it is the part which wants to absorb [ part ] the level difference by the electric conduction film C which constitutes wiring, an electrode, etc., and to carry out flattening of the front face as shown in drawing 6 , this invention is applicable to any parts. Drawing 6 is the top view showing the condition that the electric conduction film C is held in crevice 4a of an insulator layer pattern (the 1st insulator layer). Although it is a top view, hatching has been performed to the electric conduction film C so that intelligibly.

[0038]

[Effect of the Invention] As mentioned above, of this invention, all the fields between wiring have smooth surface smoothness, and a pixel electrode is formed on a flat field so that clearly. Since the failure by the level difference in the rubbing processing which performs liquid crystal orientation processing is reduced by this, deterioration of display grace, such as poor orientation, is prevented. Moreover, since the surface smoothness between wiring and on wiring is also continuing and the wiring top is also covered with the up insulator layer, formation of a pixel electrode is attained also at the upper layer of wiring, and a pixel electrode is wide range, it can form, and improvement in a numerical aperture is also possible. Moreover, although it is possible that highly minute-ization will follow on progressing from now on, and low resistance-ization of wiring is needed, for example, thick-film-ization of wiring etc. progresses, thickness control when forming an insulator layer pattern in a high rank difference or reverse also about the thickness control to a low level difference is only performed, and it can respond easily to various thickness. As mentioned above, supply of the highly minute active-matrix liquid crystal display which has a high numerical aperture with good display grace by this invention is attained.



[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] (D) expresses the 1E-1 E-lines cross section of drawing 3 with simple process drawing showing the manufacture approach of the liquid crystal display concerning the gestalt of 1 operation of this invention.

[Drawing 2] Simple process drawing showing deformation of the manufacture approach shown in drawing 1.

[Drawing 3] The simple top view of the important section of the liquid crystal display manufactured at the process shown in drawing 1 or drawing 2.

[Drawing 4] Drawing explaining the relation between the tooth space between the crevice wall surfaces of an insulator layer pattern and wiring side faces in this invention, and the thickness of an up insulator layer.

[Drawing 5] The simple sectional view of the modification of the liquid crystal display of drawing 1.

[Drawing 6] The simple top view showing the condition that the electric conduction film is formed in the crevice of an insulator layer pattern with the application of this invention.

[Drawing 7] (A) is the simple top view of the important section of the conventional liquid crystal display, and (B) is the 7B-7B line sectional view of (A).

[Drawing 8] (A) is the simple top view of the important section of the conventional liquid crystal display, and (B) is the 8B-8B line sectional view of (A).

[Drawing 9] The outline sectional view when forming a pixel electrode on wiring in structure conventionally which was shown in drawing 7.

[Drawing 10] The outline sectional view when forming a pixel electrode on wiring in structure conventionally which was shown in drawing 8.

[Description of Notations]

1: Scan wiring,

2: Signal wiring,

3: Pixel electrode,

4: Insulator layer pattern,

4a: The crevice of an insulator layer pattern

5: Up insulator layer,

6: The substrate which consists of insulating-substrate 6a and lower layer 6b,

7: Contact hole

C: Electric conduction film.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-281680

(P2001-281680A)

(43) 公開日 平成13年10月10日 (2001. 10. 10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 0
1/1333	5 0 5	1/1333	5 0 5 2 H 0 9 2
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 C 5 F 1 1 0
21/336			6 2 7 A
審査請求 未請求 請求項の数12 O L (全 8 頁)			

(21) 出願番号 特願2000-91102(P2000-91102)

(22) 出願日 平成12年3月29日 (2000. 3. 29)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 宮下 宏

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100062144

弁理士 青山 稔 (外1名)

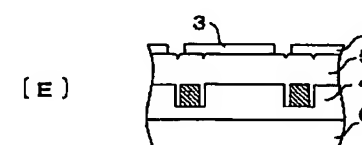
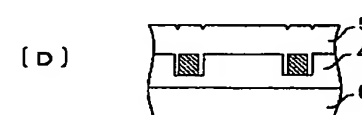
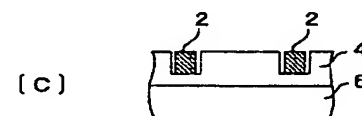
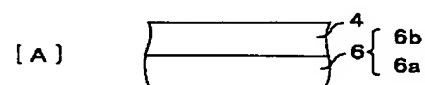
最終頁に続く

(54) 【発明の名称】 液晶表示装置とその製造方法、ならびに膜積層構造

(57) 【要約】

【課題】 アクティブマトリクス型の液晶表示装置において、配線間のみならず配線上にまで画素電極を平坦に形成可能にして、開口率を改善する。

【解決手段】 凹部4aを有する絶縁膜パターン4を形成し、凹部4a内に配線2を形成する。凹部4aの深さは配線2の膜厚に等しい。絶縁膜パターン4と凹部内の配線2の上全面に、連続する表面を有する上部絶縁膜5を形成し、この上部絶縁膜の上に画素電極3を形成する。



(2)

## 【特許請求の範囲】

【請求項1】 絶縁基板上に複数の走査配線並びに信号配線が交差したアクティブマトリクス型液晶表示装置において、

上記走査配線もしくは上記信号配線の少なくとも一方の配線は、絶縁膜パターンに設けられた凹部内に形成されており、この絶縁膜パターンと凹部内の配線の上には連続する表面を有する上部絶縁膜が形成されていることを特徴とする液晶表示装置。

【請求項2】 請求項1に記載の液晶表示装置において、

上記一方の配線は他方の配線よりも上側に配されている配線であり、画素電極がこの配線と絶縁膜パターンの上の上部絶縁膜上に形成されていることを特徴とする液晶表示装置。

【請求項3】 請求項1または2に記載の液晶表示装置において、上記凹部内の配線の厚さが上記絶縁膜パターンの凹部の深さと略等しいことを特徴とする液晶表示装置。

【請求項4】 請求項1乃至3のいずれか1つに記載の液晶表示装置において、

上記上部絶縁膜の膜厚は、上記凹部を画定する絶縁膜パターンの面とこの面に対向する配線の側面との間のスペースの1/2倍以上であることを特徴とする液晶表示装置。

【請求項5】 請求項1乃至4のいずれか1つに記載の液晶表示装置において、

上記絶縁膜パターンは、屈折率が1.4～1.95である透明膜により形成されていることを特徴とする液晶表示装置。

【請求項6】 請求項1乃至5のいずれか1つに記載の液晶表示装置において、

上記絶縁膜パターンには、上記凹部の底から下方の層へと延びるコンタクトホールが形成されていることを特徴とする液晶表示装置。

【請求項7】 絶縁基板上に複数の走査配線並びに信号配線が交差したアクティブマトリクス型液晶表示装置の製造方法において、

絶縁膜パターンを形成する工程と、

上記絶縁膜パターンに凹部を形成する工程と、

上記凹部内に走査配線もしくは信号配線の一方の配線を形成する工程と、

上記絶縁膜パターンおよび上記配線上に、連続する表面を有する上部絶縁膜を形成する工程とを備えたことを特徴とする方法。

【請求項8】 請求項7に記載の方法において、

上記一方の配線は他方の配線よりも上側に配される配線であり、

さらに、上記上部絶縁膜上に画素電極を形成する工程を備えたことを特徴とする方法。

2

【請求項9】 請求項7または8に記載の方法において、

上記上部絶縁膜を形成した後、この上部絶縁膜をエッチバック方式により薄膜化する工程をさらに備えたことを特徴とする方法。

【請求項10】 請求項7乃至9のいずれか1つに記載の方法において、

上記絶縁膜パターンに凹部を形成した後、上記凹部の底から下方の層へと延びるコンタクトホールを形成する工程をさらに備え、

上記配線を形成する工程において、配線を形成すると同時にコンタクトホール内に配線と同じ導電材料を埋めこむことを特徴とする方法。

【請求項11】 請求項7乃至10のいずれか1つに記載の方法において、

上記上部絶縁膜は、形成直後に、上記凹部を画定する絶縁膜パターンの面とこの面に対向する配線の側面との間のスペースの1/2倍以上の膜厚を有することを特徴とする方法。

【請求項12】 凹部を有する第1の絶縁膜と、

上記凹部内に設けられ、凹部の深さと略等しい膜厚を有する導電膜と、

上記第1の絶縁膜と上記導電膜との上に連続して設けられた第2の絶縁膜とを有することを特徴とする膜積層構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型液晶表示装置及びその製造方法に関し、より詳しくは、そのような液晶表示装置のための駆動基板における配線領域および配線間領域の表面平坦化技術に関する。

【0002】

【従来の技術】図7(A)、(B)は従来のアクティブマトリクス型液晶表示装置における駆動基板の要部平面図および断面図を模式的に示す。また、図8(A)、

(B)は別の従来のアクティブマトリクス型液晶表示装置における駆動基板の要部平面図および断面図を模式的に示す。これらの図面において、同様の部分には同じ参照番号を付している。

【0003】図7に示した従来の駆動基板の構造は、特開平4-234820号公報に開示されたものに相当し、12は配線、13は画素電極、14は絶縁膜、そして、16は絶縁膜基板16aおよびこの絶縁膜基板に形成された下層16bからなる基板である。この駆動基板は、絶縁基板16a上に配線12と画素電極13以外の層およびパターン(下層16b)を形成した後、絶縁膜14を形成し、続いて、画素電極13を絶縁膜14上に形成すると共に、配線12を形成したものである。液晶表示装置が透過型の場合、絶縁膜14も透明な材料を使用しなければならないため、例えば感光性透明ポリイミ

(3)

3

ドなどが使用される。

【0004】一方、図8に示した従来の駆動基板の構造は、特開平4-338718号公報に開示された技術によるものである。この従来技術によると、配線12の上面と画素電極13を平坦つまり同一レベルにするために、画素電極13下に透明な絶縁膜14を敷いて凸部にするか、配線を予めエッチングして凹部にする。次に、配線12を絶縁物15で覆うことで透明な画素電極13との段差をなくす。絶縁物15としては、例えば、ポリイミド樹脂膜を用いる。

【0005】

【発明が解決しようとする課題】前記2つの従来技術においては、配線12（図7）または絶縁物15で覆われた配線12（図8）と絶縁膜14とが連続した同一レベル面を形成していないために、画素電極13の形成可能領域は絶縁膜14上に限定される。ここで、画素電極13の形成可能領域が絶縁膜14上に限定される理由を説明するために、図6および図7のそれぞれの従来構造に対して画素電極形成領域を絶縁膜14だけでなく配線12上の領域まで広げた場合を、それぞれ図9、図10に示す。図9では、配線12と画素電極14が直接接続されているため、画素が常に配線12と電気的に接続されてしまう。また、図9、図10の場合とも、画素電極13が配線段差の影響をうけて、平坦でない部分（凹部）が生じてしまう。そのため、液晶の配向処理を行うラビング工程において、段差の障害のため均一に配向処理ができないため、その段差部分での液晶の配向力低下を招いてしまう。以上の理由から、上記従来構造においては絶縁膜14以外の領域に画素電極13を形成できないのである。これは、開口率の低下につながり、液晶表示装置としては不都合である。

【0006】そこで、本発明の目的は、絶縁基板上に複数の走査配線と複数の信号配線が交差したアクティブマトリクス型の液晶表示装置において、走査配線あるいは信号配線の少なくとも一方の上にまで画素電極を平坦に形成可能にして、開口率を改善できる液晶表示装置およびその製造方法を提供することにある。また、このような液晶表示装置を実現するのに適した膜積層構造を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明の液晶表示装置は、絶縁基板上に複数の走査配線並びに信号配線が交差したアクティブマトリクス型液晶表示装置において、上記走査配線もしくは上記信号配線の少なくとも一方の配線は、絶縁膜パターンに設けられた凹部内に形成されており、この絶縁膜パターンと凹部内の配線の上には連続する表面を有する上部絶縁膜が形成されていることを特徴としている。

【0008】この構造によると、配線は絶縁膜パターンの凹部内に形成されているため、配線の膜厚が凹部の深

4

さによって吸収されることになる。したがって、この配線と絶縁膜パターンの上に連続して形成された上部導電膜の表面は、略全体にわたって良好な平坦性を有することができる。よって、この上部絶縁膜上に画素電極を形成すると、画素電極の表面全体も良好な平坦性を有することができる。つまり、配線上および配線間のすべての領域において、平坦化された構造が得られる。したがって、均一な配向処理が可能となる。また、配線上および配線間に形成された上部絶縁膜が連続する平坦な表面を有しているため、画素電極形成領域を配線間のみならず配線上にまで拡張することが可能となる。したがって、開口率の改善ができる。

【0009】走査配線または信号配線の一方のみに本発明を適用する場合には、上側に配される配線、通常は信号配線、に適用するのが望ましい。こうすれば、下側の配線膜厚によってできる段差を効果的に緩和することができる。

【0010】上記液晶表示装置は、たとえば、本発明の別の側面に係る液晶表示装置の製造方法、つまり、絶縁膜パターンを形成する工程と、上記絶縁膜パターンに凹部を形成する工程と、上記凹部内に走査配線もしくは信号配線の一方の配線を形成する工程と、上記絶縁膜パターンおよび上記配線上に、連続する表面を有する上部絶縁膜を形成する工程とを備えたことを特徴としている方法によって製造することができる。

【0011】上部絶縁膜が絶縁膜パターンの凹部を画定する面とこの面に対向する配線の側面との間の隙間を埋めるのを確実にするために、上部絶縁膜は、上記凹部を画定する絶縁膜パターンの面とこの面に対向する配線の側面との間のスペースの1/2倍以上の膜厚を有するように形成するのがよい。このような膜厚に形成した上部絶縁膜は、そのまま使用してもよいし、エッチバック方式により薄膜化してもよい。上部絶縁膜全面をエッチバックすることにより、任意の膜厚の上部絶縁膜が得られる。また、平坦性もさらに向上する。

【0012】本発明を透過型の液晶表示装置に適用する場合には、上記絶縁膜パターンは、屈折率が1.4～1.95である酸化膜等の透明膜により形成するのがよい。

【0013】一実施形態においては、上記絶縁膜パターンには、上記凹部の底から下方の層へと延びるコンタクトホールが形成されている。

【0014】このような構造を有する液晶表示装置を製造するために、本発明の製造方法は、さらに、上記絶縁膜パターンに凹部を形成した後、上記凹部の底から下方の層へと延びるコンタクトホールを形成する工程をさらに備え、上記配線を形成する工程において、配線を形成すると同時にコンタクトホール内に配線と同じ導電材料を埋めこむことを特徴としている。

【0015】また、本発明の膜積層構造は、凹部を有す

(4)

5

る第1の絶縁膜と、上記凹部内に設けられ、凹部の深さと略等しい膜厚を有する導電膜と、上記第1の絶縁膜と上記導電膜との上に略一定の膜厚で形成され、連続する表面を有する第2の絶縁膜とを有することを特徴としている。

【0016】この膜積層構造は、第1の絶縁膜の上面と導電膜の上面が略同一レベルとなるため、これらの上に形成されている第2の絶縁膜は全体に亘って平坦な表面を有することができる。この膜積層構造は、アクティブマトリクス型液晶表示装置における信号配線あるいは走査配線の箇所だけではなく、平坦な表面構造を得たい箇所であれば、如何なる導電膜／絶縁膜積層箇所にも使用することができる。

【0017】

【発明の実施の形態】図3は本発明の一実施の形態である透過型のアクティブマトリクス型液晶表示装置を構成する駆動基板の簡略部分平面図、図1は図3の駆動基板の製造方法を模式的に示す工程図であり、図1(E)に示す断面は図3の1E-1E線断面である。なお、本発明は、一面において、配線領域および配線間領域の平坦化による画素電極形成領域の拡大化に特徴を有するものである。これらの図面においては、発明に関連した部分だけを示し、液晶や配向膜等といった発明に直接関係しない部分については、図面を簡単にするために図示を省略している。

【0018】図3に示すように、多数の走査配線（隣り合う2本のみ示す）1が互いに平行に行方向に伸び、多数の互いに平行な信号配線（隣り合う2本のみ示す）2が上記走査配線1の上方でこれら走査配線1に直交するように列方向に伸びており、これら走査配線1と信号配線2との各交点付近には図示しないスイッチング素子としての薄膜トランジスタ（TFT）が形成されている。TFTのゲート電極は走査配線1に、ソース電極は信号配線2に夫々接続され、また、ドレイン電極は略矩形の画素電極3に接続されている。各走査配線1および各信号配線2はそれぞれ対応する絶縁膜パターン4が有する凹部4a内に収容されている。各配線1、2と絶縁膜パターン4との上および各配線1、2と各絶縁膜パターン4との間には平坦化膜として機能する上部絶縁膜5が形成されている。そして、信号配線2上に形成された上部絶縁膜5上には、上記画素電極3が、隣り合う走査配線1の一方および隣り合う信号配線2の一方に周辺部を重ねた状態で広がっている。

【0019】次に、図1を使用して、第1の実施の形態の液晶表示装置の製造方法を、駆動基板の作製工程、特に絶縁膜パターン形成から画素電極形成までの工程に的を絞って説明する。

【0020】まず、図1(A)に示すように、絶縁基板6aと下層6bとからなる基板6に、配線の下層になる絶縁膜（第1の絶縁膜）4を配線の膜厚より大きい膜厚

6

で成膜する。透過型の液晶表示装置の場合、絶縁膜4は透明膜である必要があり、屈折率として1.4~1.95程度の絶縁膜が適当である。絶縁膜4の材料としては、 $\text{SiN}_x$ 、 $\text{SiO}_x$ 等が挙げられるが、ここでは、酸化膜（ $\text{SiO}_2$ ）を使用している。

【0021】続いて、図1(B)に示すように、絶縁膜4に凹部4aをパターン形成して、絶縁膜パターン4（便宜上、成膜時の絶縁膜と同じ参照番号で表す）とする。ここで、凹部4a内には、後の工程で、信号配線2を形成することになるので、凹部4aは、信号配線2の形成線幅よりも一回り大きな幅寸法に形成する必要がある。さらに、凹部4aは、配線の膜厚による段差を吸収しなければならないため、これら配線の厚さに相当する深さ、つまり数千~1万Å程度の深さに形成される。

【0022】次に、絶縁膜パターン4全面に金属配線材料、例えば、Al系金属材料からなる導電膜を、例えば、7000Å程度の膜厚に堆積した後、フォトリソ、エッチング、レジスト剥離の各工程を経て、図1(C)に示すように、絶縁膜パターンの各凹部4a内に信号配線2を形成する。

【0023】次に、図1(D)に示すように、信号配線2および絶縁膜パターン4の上全体に上部絶縁膜（第2の絶縁膜）5を形成する。上部絶縁膜5の材料は、絶縁膜パターン4の材料と同じであってもよいし、異なってもよい。ここでは同じ材料を使用するものとする。この工程において、凹部4aの壁面（つまり凹部4aを画定する絶縁膜パターンの面）とこの面に対向する配線の側面との間のスペースdを制御することにより上部絶縁膜5の上面の平坦性が制御される。例えば、スペースdが広すぎると上部絶縁膜5を形成しても、走査配線1の端部で段差が生じてしまうため、平坦性は良くならない。また、狭すぎると上部絶縁膜5がスペースd内を埋め込むことができないためスペースd部分に空洞が生じる。このような理由から、スペースdとしては、例えば1.0μm前後程度のスペース幅を確保する。上部絶縁膜5は、成膜時にスペースdを埋め込むことにより上層の平坦化を行うことを目的とするため、図4に模式的に示すように、成膜時の上部絶縁膜5の膜厚tはスペースdの1/2倍以上である必要がある。例えば、スペースdが約1.0μmのとき、5000Å程度以上の酸化膜 $\text{SiO}_2$ を形成する必要がある。実際には上面の平坦性を上げるために、15000Åつまり1.5μm程度の膜厚の上部絶縁膜5を形成する。こうして、配線2および絶縁膜パターン4の上に上部絶縁膜5を形成し表面を平坦化する。

【0024】次に、上部絶縁膜5の上に、周辺部を片側の信号配線2および図1には示されていない片側の走査配線1にオーバーラップする状態で、ITO（インジウム・ティン・オキサイド）を用いて透明の画素電極3を形成する（図3参照）。

(5)

7

【0025】この後は、公知の方法にて、配向膜の塗布、ラビング処理等を行なって駆動基板を完成する。そして、駆動基板と対向基板とを貼り合わせて液晶注入を行なった後、封止や偏光板の貼り付け等の必要な処理を経てアクティブマトリクス型液晶表示装置を完成する。

【0026】なお、上記基板6に含まれる「下層6b」とは、図1(A)に示した絶縁膜4と絶縁基板6bとの間に形成された各種の膜およびパターンを包括的に表現しており、TFTの他、絶縁膜パターン4、走査配線1、および、これらの上の上部絶縁膜5も含んでいる。なお、絶縁膜パターン4、走査配線1および上部絶縁膜5は、先に説明した絶縁膜パターン4、信号配線2および上部絶縁膜5を形成する方法と同じ方法で、形成されたものである。この場合、走査配線1上の上部絶縁膜は、走査配線1と信号配線2との間の層間絶縁膜として機能する。

【0027】上述した製造方法では、図1(D)に示した工程で上部絶縁膜5を堆積した後、何の加工もせず、その上に画素電極3を形成しているが、図1(D)の工程の後に、図2に示すように、堆積した上部絶縁膜5に全面エッチバックを行って薄膜化した後に、画素電極3を形成してもよい。たとえば、15000Åの上部絶縁膜5を形成したとき、8000Åエッチバックすることにより、上部絶縁膜5の膜厚を7000Å程度にする。

【0028】上部絶縁膜5を薄膜化する理由は次の通りである。上部絶縁膜5はスペースdの埋め込み及び平坦性向上のためには厚いほうが良いといえる。しかし、上部絶縁膜5には、上部の画素電極3を、配線2と同時に形成された導電膜パターンを介して電氣的に下層6bに接続するための微細なコンタクトホール(図1、2には示されていない)を形成する必要がある、上部絶縁膜5が厚くなるほど、エッチングによる微細パターンの形成及び制御が困難になる。また、画素電極3の膜厚は、例えばITO等を使用した場合1000~1500Å程度しかなく、コンタクトホールでの薄膜画素電極3のカバレッジを考えると、コンタクトホールを形成する部分の絶縁膜層は厚くないほうがよい。そのため、厚めに成膜された上部絶縁膜5に対して、全面エッチバックを行うことにより、任意の膜厚に絶縁膜5を制御することができる。また、エッチバックを行うことにより、絶縁膜5形成時に若干生じるスペース上の絶縁膜5の凹状態を除去できるので、さらに平坦性が向上する。したがって、周辺部を片側の信号配線2および走査配線1にオーバーラップする状態で形成された画素電極3自体の平坦性も、上部絶縁膜5を薄膜化しない場合に比べて向上する。

【0029】ところで、画素電極3を電氣的に下層6bに接続するための微細なコンタクトホール7の形成位置は適宜選択可能であるが、図5は、凹部4aの下方にコンタクトホール7を形成した例を示している。

8

【0030】コンタクトホール7は、図1(B)に示す工程で絶縁膜(SiO<sub>2</sub>膜)4に凹部4aを形成した後、凹部4a下の薄膜化された上部絶縁膜残存部分に形成する。この結果、絶縁膜4には、凹部4aの底から下方の層へと延びるコンタクトホール7が得られる。この後、図1(c)に関して説明したのと同様の方法で、コンタクトホール7および凹部4a内を含めて絶縁膜パターン4全面に導電膜を堆積した後、フォトリソ、エッチング、レジスト剥離の各工程を経て、図5に示すように、各凹部4a内に、コンタクトホール7の導電膜と一体化された配線2を形成する。こうして、コンタクトホール7を介して配線2と基板下層6bとの導通が可能になる。コンタクトホールを形成するときの絶縁膜の膜厚は、絶縁膜4を成膜するときの膜厚と凹部の段差形状の掘り込み量によって制御される。この差が少なくなるほど、コンタクトホールの形成は容易になる。実際には、絶縁膜4として10000Å程度成膜した後、7000Å程度パターニングにより凹状に形成することにより、コンタクトホール形成部分の絶縁膜4の膜厚を3000Åにする。

【0031】以上、幾つかの例を用いて本発明を説明したが、本発明はこれらに限られず、種々変形可能である。

【0032】例えば、上記実施の形態のアクティブマトリクス型液晶表示装置は透過型としたが、反射型であってもよい。反射型の場合には、画素電極3は透明ではなく、アルミニウム等を用いて形成すればよく、また、絶縁膜4、5も透明膜である必要はない。いずれにしても、本発明は、配線領域と配線間領域の平坦化による画素電極形成領域の拡大に関するものであり、いずれのタイプの液晶表示装置であっても適用可能であることは容易に理解できよう。

【0033】また、上記実施の形態では画素電極3は略矩形形状に形成したが、必要に応じて、一部を切り欠いた形状としてもよい。また、各画素電極3は、隣り合う2つの走査配線1の一方のみあるいは隣り合う2つの信号配線2の一方のみに周辺部を重ねて形成したが、隣り合う2つの走査配線1にも隣り合う2つの信号配線2にも周辺部を重ねて形成してもよい。

【0034】また、上記実施の形態では走査配線1を下側に、信号配線2を上側に形成したが、この逆であってもよい。

【0035】また、上記実施の形態では、各工程を、上側の信号配線2のみならず、下側の走査配線1に関しても同様に実施することとしたが、上側の信号配線2のみに実施してもよい。また信号配線2と走査配線1に関して、それぞれ異なる平坦化処理を行ってもよい。

【0036】また、スイッチング素子はTFT以外のものを使用することもできる。

【0037】以上、図1~5を用いて、本発明をアクテ

(6)

9

ィブマトリクス型液晶表示装置の駆動基板、特に、各信号配線領域とその間の領域および各走査配線領域とその間の領域に適用した例を説明したが、当業者ならば容易に理解できるように、本発明はこれらに領域以外の領域、たとえば、ゲート電極、ドレイン電極等の領域にも同様に適用できる。また、本発明の適用は、液晶表示装置に限られるものではない。要は、図6に示すように、配線や電極等を構成している導電膜Cによる段差を吸収して表面を平坦化したい箇所であればどのような箇所にでも本発明を適用することができる。図6は、導電膜Cが絶縁膜パターン（第1の絶縁膜）の凹部4aに収容されている状態を示す平面図である。平面図ではあるが、

【0038】

【発明の効果】以上より明らかなように、本発明により、配線及び配線間の全ての領域がなめらかな平坦性を持ち、平坦な領域上において画素電極が形成される。これにより、液晶配向処理を行うラビング処理における段差による障害が低減されるため、配向不良等の表示品位の低下が防止される。また、配線間と配線上の平坦性も連続されており、配線上も上部絶縁膜により覆われているため、配線の上層にも画素電極が形成可能となり、画素電極が広範囲で形成でき、開口率の向上も可能である。また、今後高精細化が進むに伴い配線の低抵抗化が必要になり、例えば、配線の厚膜化等が進むことが考えられるが、高段差あるいは逆に低段差に対する膜厚制御に関しても、絶縁膜パターンを形成するときの膜厚制御を行うだけで、様々な膜厚に対して簡単に対応可能である。以上のように、本発明により表示品位良好な高開口率を持つ高精細アクティブマトリクス液晶表示装置が供給可能となる。

10

【図面の簡単な説明】

【図1】 本発明の一実施の形態に係る液晶表示装置の製造方法を示す簡略工程図で、(D)は図3の1E-1E線断面を表す。

【図2】 図1に示した製造方法の変形を示す簡略工程図。

【図3】 図1あるいは図2に示した工程で製造された液晶表示装置の要部の簡略平面図。

【図4】 本発明における絶縁膜パターンの凹部壁面と配線側面との間のスペースと上部絶縁膜の膜厚との関係を説明する図。

【図5】 図1の液晶表示装置の変形例の簡略断面図。

【図6】 本発明を適用して絶縁膜パターンの凹部に導電膜が形成されている状態を示す簡略平面図。

【図7】 (A)は従来の液晶表示装置の要部の簡略平面図、(B)は(A)の7B-7B線断面図。

【図8】 (A)は従来の液晶表示装置の要部の簡略平面図、(B)は(A)の8B-8B線断面図。

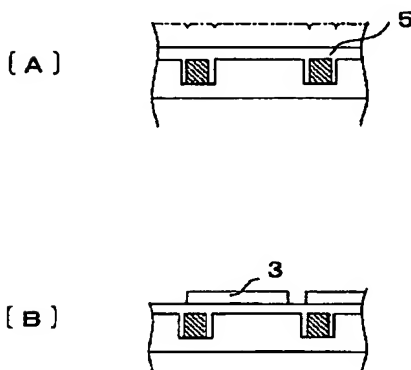
【図9】 図7に示した従来構造において配線上に画素電極を形成したときの概略断面図。

【図10】 図8に示した従来構造において配線上に画素電極を形成したときの概略断面図。

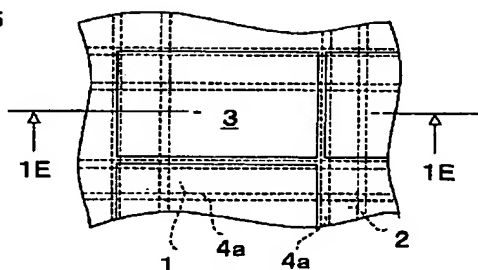
【符号の説明】

- 1：走査配線、
- 2：信号配線、
- 3：画素電極、
- 4：絶縁膜パターン、
- 4a：絶縁膜パターンの凹部
- 5：上部絶縁膜、
- 6：絶縁基板6aと下層6bとからなる基板、
- 7：コンタクトホール
- C：導電膜。

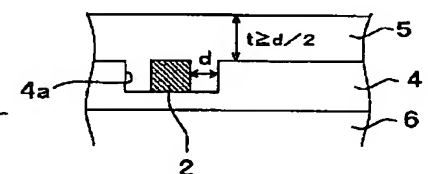
【図2】



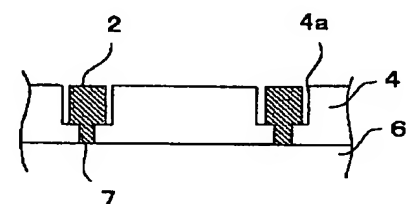
【図3】



【図4】



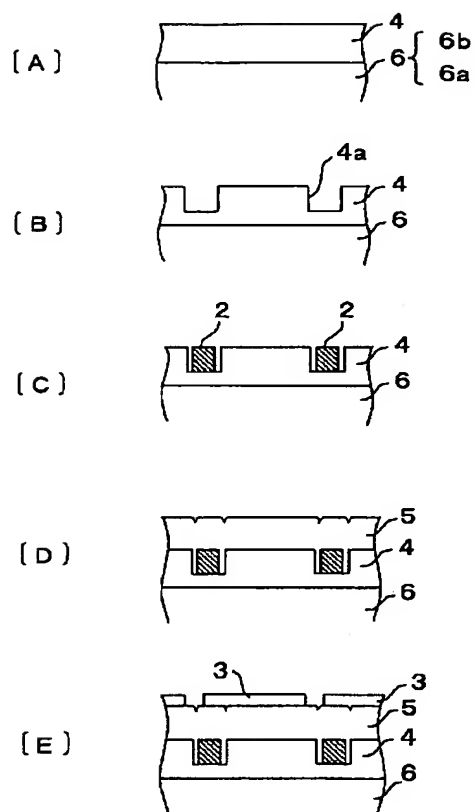
【図5】



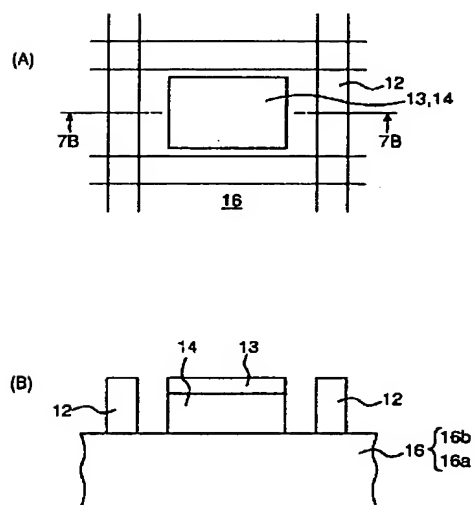


(7)

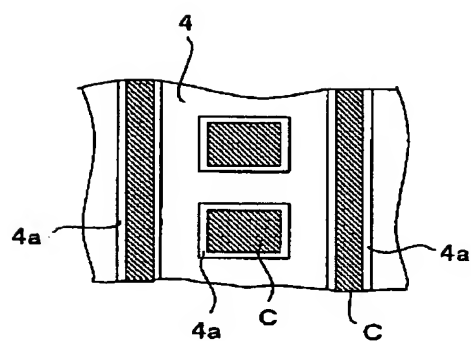
【図1】



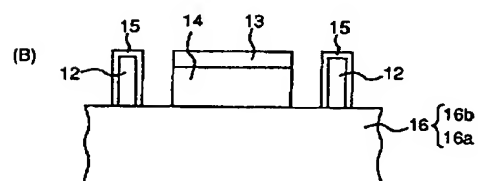
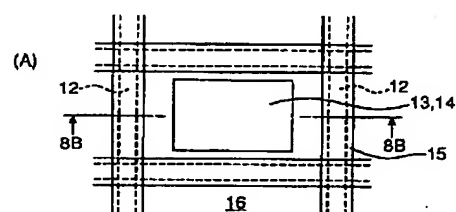
【図7】



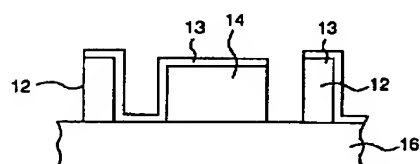
【図6】



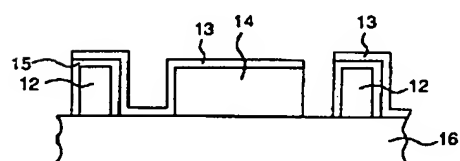
【図8】



【図9】



【図10】



(8)

フロントページの続き

F ターム(参考) 2H090 HA03 HB03X HC01 HC11  
HC12 HC16 HC18 HD03 JA05  
JB02 JD14 LA04  
2H092 JA46 KA16 KA18 KB14 KB25  
MA13 MA17 NA07 NA19 NA25  
PA02  
5C094 AA02 AA12 BA03 BA43 CA19  
CA24 DA14 DA15 EA04 EB02  
FB12 FB15  
5F110 AA18 BB01 DD21 QQ19